

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09255499 A**(43) Date of publication of application: **30 . 09 . 97**

(51) Int. Cl.

C30B 33/12
C30B 25/14
C30B 29/48
H01L 21/3065
H01L 21/365
H01L 33/00

(21) Application number: **08068280**(22) Date of filing: **25 . 03 . 96**(71) Applicant: **NEC CORP**(72) Inventor: **KURODA NAOTAKA**

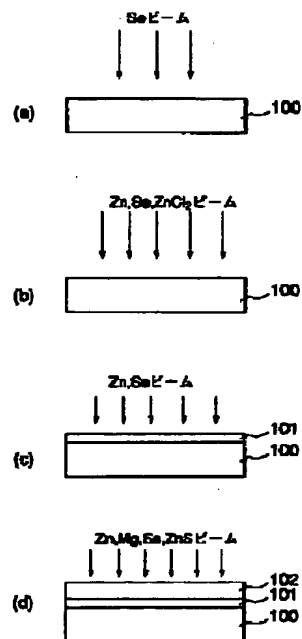
(54) **ETCHING OF SEMICONDUCTOR SUBSTRATE
 AND PRODUCTION OF SEMICONDUCTOR THIN
 FILM**

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the generation of stacking fault at the interface between a group 2-6 semiconductor growing layer and a semiconductor substrate by removing the oxide film on a group 2-6 compound semiconductor substrate such as ZnSe substrate while keeping the surface in the state of high quality.

SOLUTION: The surface of a substrate is etched by bombarding the substrate 100 with a group 2 raw material (Zn) and/or group 6 raw material (Se) which are constituent elements of a group 2-6 compound semiconductor and, at the same time, with a halogen gas (Cl_2 , etc.), a hydrogen halide (HCl, etc.) or a halide of a group 2 element constituting the substrate (ZnCl_2 , etc.). A group 2-6 semiconductor layer 102 are grown on the etched substrate by epitaxial growing.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-255499

(43) 公開日 平成9年(1997)9月30日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
C 3 0 B	33/12		C 3 0 B	33/12
	25/14			25/14
	29/48			29/48
H 0 1 L	21/3065		H 0 1 L	21/365
	21/365			33/00
				D
審査請求 有 請求項の数 8 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-68280

(22) 出願日 平成8年(1996)3月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黒田 尚孝

東京都港区芝五丁目7番1号 日本電気株式会社内

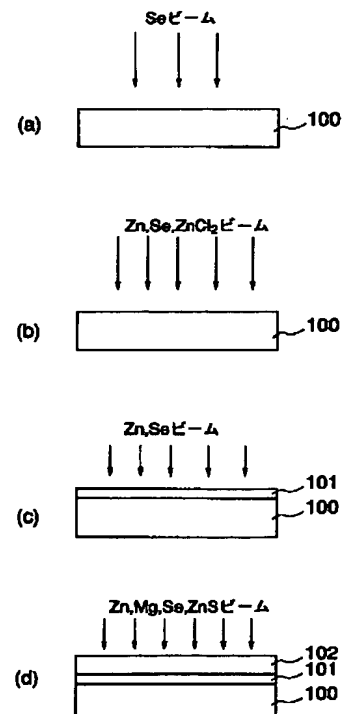
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体基板のエッチング方法及び半導体薄膜の製造方法

(57) 【要約】

【課題】 $ZnSe$ のような2-6族化合物半導体基板の酸化膜除去をその表面を高品質に保ったまま行い、2-6族半導体成長層と半導体基板との界面における積層欠陥の発生を抑制する。

【解決手段】 2-6族化合物半導体基板の構成要素である2族原料 (Zn) 又は6族原料 (Se)、あるいはその両方を基板に照射しながら同時にハロゲンガス (Cl_2 など)、ハロゲン水素 (HCl など)、又は基板の構成要素である2族元素のハロゲン化物 ($ZnCl_2$ など) を照射して、基板表面をエッチングする。そして、このようにしてエッチングされた基板上に2-6族半導体成長層をエピタキシャル成長する。



【特許請求の範囲】

【請求項1】 真空チャンバ又は気相成長炉を用いて2-6族化合物半導体基板に該基板の構成要素である2族原料及び6族原料を照射しつつ、ハロゲンガス、ハロゲン化水素、又は前記基板の構成要素である2族元素のハロゲン化物を照射して、成長速度よりもエッチング速度が大きくなるように各原料の供給量を調節して前記基板のエッチングを行うようにしたことを特徴とする半導体基板のエッチング方法。

【請求項2】 真空チャンバ又は気相成長炉を用いて2-6族化合物半導体基板に該基板の構成要素である2族原料又は6族原料を照射しつつ、ハロゲンガス、ハロゲン化水素、又は前記基板の構成要素である2族元素のハロゲン化物を照射して、前記基板のエッチングを行うようにしたことを特徴とする半導体基板のエッチング方法。

【請求項3】 請求項1又は2に記載されたエッチング方法で処理された基板上に2-6族化合物半導体薄膜をエピタキシャル成長させるようにしたことを特徴とする半導体薄膜の製造方法。

【請求項4】 エッチング用真空チャンバを用いて2-6族化合物半導体基板に該基板の構成要素である2族原料及び6族原料を前記基板に照射しつつ、ハロゲンガス、ハロゲン化水素、又は前記基板の構成要素である2族元素のハロゲン化物を照射して、成長速度よりもエッチング速度が大きくなるように各原料の供給量を調節して前記基板のエッチングを行うようにしたことを特徴とする半導体基板のエッチング方法。

【請求項5】 エッチング用の真空チャンバを用いて2-6族化合物半導体基板に前記基板の構成要素である2族原料又は6族原料を照射しつつ、ハロゲンガス、ハロゲン化水素、又は前記基板の構成要素である2族元素のハロゲン化物を照射して前記基板のエッチングを行うようにしたことを特徴とする半導体基板のエッチング方法。

【請求項6】 請求項4又は5に記載されたエッチング方法によって処理された基板を成長装置内へ所定の真空状態を保って搬送し、該成長装置内で2-6族化合物半導体薄膜をエピタキシャル成長させるようにしたことを特徴とする半導体薄膜の製造方法。

【請求項7】 請求項1、2、4、又は5に記載されたエッチング方法において前記2-6族化合物半導体基板はZnSe基板であることを特徴とする半導体基板のエッチング方法。

【請求項8】 請求項3又は6に記載された半導体薄膜の製造方法において、前記2-6族化合物半導体基板はZnSe基板であることを特徴とする半導体薄膜の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板のエッチング方法及びこのエッチングされた半導体基板上に半導体薄膜を形成する際に用いられる製造方法に関し、特に、短波長発光素子に用いられる所謂2-6族化合物半導体材料のエッチング方法及びその基板上への半導体薄膜形成に関する。

【0002】

【従来の技術】近年、ワイドギャップ2-6族化合物半導体は、緑青色半導体レーザ又は発光ダイオード用材料として研究が行われているが、良質で安価なZnSe等の2-6族化合物半導体基板は現在のところ市販されていない。このため、GaAs基板上にヘテロエピタキシャル成長を行うことが主流となっている。そして、2-6族化合物半導体を用いた発光素子として半導体レーザが作製されており、このような半導体レーザの室温におけるCW発振が、例えば、エレクトロニクス・レターズ誌(Electronics Letters)第29巻16号、1993年、1488~1489ページ、エレクトロニクス・レターズ誌(Electronics Letters)第29巻25号、1993年、2192~2193ページ、及びジャパニーズ・ジャーナル・オブ・アプライド・フィジックス誌(Japanese Journal of Applied Physics)第33巻7A号、1994年、938~940ページに報告されている。

【0003】一方、バルクZnSe基板についても近年改良が行われ、現在のところ市販はされていないが、n型でエッチピット密度(EPD)が 10^3 cm^{-2} 台のものが得られるようになっている。

【0004】このようなZnSe基板を用いてエピタキシャル成長を行うには、基板の加工歪み層と表面の酸化膜を除去する必要がある。このため、ZnSe基板をエッチングする方法として、三塩化ホウ素によるプラズマを用いたエッチング方法が、例えば、特願平1-83447号公報に記載されている。

【0005】さらに、最近、水素ラジカルを用いたZnSe基板の前処理が報告されており、温度350~380℃で酸化膜の除去が可能になることがジャーナル・オブ・エレクトロニック・マテリアルズ(Journal of Electronic Materials)第24巻3号、1995年、177~181ページに報告されている。

【0006】加えて、ZnSe基板を用いた半導体レーザの試作も行われており、エレクトロニクス・レターズ誌第31巻16号、1995年、1341~1342ページに77KにおけるCW発振が報告されている。

【0007】

【発明が解決しようとする課題】ところで、3-5族化合物半導体基板上にヘテロエピタキシャル成長を行う際には、2-6族化合物/3-5族化合物界面において積

10

20

30

40

50

層欠陥をはじめとする結晶欠陥が発生しやすく、このような結晶欠陥は、2-6族化合物半導体成長層を用いた半導体発光素子の信頼性を著しく劣化させる主な原因となる。このような2-6族/3-5族化合物半導体界面での積層欠陥の発生を避けるためには、ZnSeのような2-6族化合物半導体基板を用いることが解決法の一つであるが、ZnSe基板においては、そのウェットエッチング技術が確立されておらず、かつ、上述した三塩化ホウ素プラズマ又は水素ラジカルを用いたエッチングにおいては、前者（三塩化ホウ素プラズマを用いたエッチング）ではプラズマによる基板表面のダメージが懸念され、後者（水素ラジカルを用いたエッチング）では酸化膜が完全に除去しきれない等の懸念があり、現状では酸化膜除去後の表面の品質がエピタキシャル成長用の基板として十分ではないという問題点がある。

【0008】そのため、ZnSe基板上に成長したエピタキシャル成長層には、GaAs基板上のそれと同程度以上の結晶欠陥が入ってしまうという問題点があり、このようなZnSe基板上に作製した緑青色半導体レーザの特性は3-5族化合物半導体基板（GaAs）上のものよりも劣ってしまう。

【0009】本発明の目的は、ZnSeのような2-6族化合物半導体基板の酸化膜除去をその表面を高品質に保ったまま行うことのできる半導体基板のエッチング方法を提供することにある。

【0010】本発明の他の目的は、半導体基板との界面における積層欠陥の発生を抑制することのできる半導体薄膜の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明によるエッチング方法は、真空チャンバまたは気相成長炉内で2-6族化合物半導体基板に該基板の構成要素である2族原料又は6族原料、あるいはその両方を前記基板に照射しつつ、ハロゲンガス、ハロゲン化水素、又は前記基板の構成要素である2族元素のハロゲン化物を照射して前記基板のエッチングを行うことを特徴としている。

【0012】また、本発明の半導体薄膜の製造方法は、上記のエッチング方法で前処理された2-6族化合物半導体基板上に2-6族化合物半導体薄膜をエピタキシャル成長させるようにしたことを特徴としている。

【0013】上述のように、本発明によるエッチング方法では、基板の構成要素である2族原料又は6族原料、あるいはその両方を基板に照射しながら同時にハロゲンガス、ハロゲン化水素、又は基板の構成要素である2族元素のハロゲン化物を照射する。

【0014】ZnSe基板を例に説明すると、分子線エピタキシャル成長装置（MBE）等の超高真空チャンバ内でZn及びSeビームを同時に照射しながらZnCl₂を用いてZnSe基板をエッチングする際、ZnSe基板は、例えば、温度300～400℃に設定され、Z

nビーム及びSeビームが照射される。この結果、基板上にZnSeが成長することになるが、同時に照射されたZnCl₂によりZnSeのエッチングも起こる。

【0015】このようなZnCl₂によるZnSeのエッチングはビーム強度を調節することによって成長速度とエッチング速度とを自由に調節することができる。従って成長速度よりもエッチング速度が十分大きくなるように各ビーム強度を設定しておけば、基板のエッチングを行うことができる。

10 【0016】この場合、この系は疑似的な熱平衡状態とみることができるため、高品質なエッチング表面が得られることになる。また、エッチングの後、ZnS₂ビームを切ることにより成長中断することなく引き続きZnSeバッファ層の成長を行うことができる。

【0017】以上のプロセスによって、基板と成長層との界面において、結晶欠陥が抑制されて高品質なエピタキシャル成長層が得られる。

20 【0018】また、2族原料あるいは6族原料のどちらか一方を照射しながらZnCl₂を照射する場合にも、基板からのZnあるいはSeの熱による再蒸発（劣化）が抑制される。従って、従来の三塩化ホウ素プラズマ又は水素ラジカルを用いたエッチング方法よりも高品質なエッチング表面を得ることができる。

【0019】

【発明の実施の形態】以下本発明について図面を用いて説明する。

【0020】図1は本発明による半導体基板のエッチング方法及び半導体薄膜の製造方法の第1の例を説明する製造行程図である。図1を参照して、この例では、基板100としてZnSe（001）面を用いた。

30 【0021】まず、この基板100を超高真空チャンバ（図示せず）内に搬送して、超高真空チャンバ（つまり、基板100）を室温から温度250℃まで昇温する。その後、基板100からのSeの再蒸発を防止するため、基板100に対してSeビームを照射しつつ、さらに超高真空チャンバ（つまり、基板100）を温度350℃まで昇温する（図1（a））。

40 【0022】超高真空チャンバが温度350℃まで昇温すると、Seビームの他にZnビーム及びZnCl₂ビームを同時に照射し始める。なお、Znセル温度は300℃、Seセル温度は195℃、ZnCl₂セル温度は280℃とした。この結果、ZnSe基板100をエッチング速度0.4μm/時間で約1μmエッチングすることができた（図1（b））。また、エッチング後の基板100の表面は平滑で鏡面であり、ウェットエッチングを行った際に問題となる表面へのSeの残留もなかった。

50 【0023】Znビーム及びZnCl₂ビームを切ってエッチングを終了した後（以下エッチング終了後の基板を単にエッチング基板と呼ぶ）、Seビームを照射しつ

つ基板温度を下げて280℃に設定した。そして、この基板上にZnSeバッファ層101を30nmの厚さにエピタキシャル成長した(図1(c))。さらに、ZnSeバッファ層101上にZnSeに格子整合するZnMgSSe層102を2μmの厚さにエピタキシャル成長した(図1(d))。この成長層の結晶欠陥を透過電子顕微鏡(TEM)で調べたところ、基板と成長層界面での結晶欠陥は観察されなかった。

【0024】図2は本発明による半導体基板のエッチング方法及び半導体薄膜の製造方法の第2の例に用いられる分子線エピタキシャル成長装置の概略図である。図2を参照して、エッチング用チャンバ200には真空ポンプ200aが備えられており、真空ポンプ200aによってエッチング用チャンバ200内は所定の真空度に保たれている。

【0025】この例では、まず、エッチング用チャンバ200内の基板ホルダー201aにZnSe(001)基板201を載置して、基板201を250℃まで昇温する。その後、基板201からのSeの再蒸発を防止するためSeセル202からSeビームを照射しつつ基板201を温度350℃まで昇温する。

【0026】基板201が温度350℃まで昇温すると、ZnCl₂セル203からZnCl₂ビームを照射し始める。この際、Seセル202の温度は195℃、ZnCl₂セル203の温度は280℃とした。この結果、ZnSe基板201をエッチング速度0.8μm/時間で1μmエッチングすることができた(以下エッチング後の基板を単にエッチング基板と呼ぶ)。また、エッチング後の基板表面は平滑で鏡面であり、ウェットエッチングを行った際に問題となる表面へのSeの残留もなかった。

【0027】このエッチング基板を10⁻¹⁰Torr台の真空度に保たれた超高真空トンネル205を通過させて成長用チャンバ206へ搬送して、エッチング基板を基板ホルダー206aに載置する。成長用チャンバ206には真空ポンプ206bが備えられており、真空ポンプ206bによって成長用チャンバ206内は予め定められた真空度に保たれている。

【0028】基板温度を、例えば、温度300℃に設定した後、Znセル207(セル温度270℃)、Seセル208(セル温度195℃)をオープンにして、ZnSeバッファ層を30nmの厚さに、さらに、Mgセル209(セル温度450℃)、ZnSセル210(セル温度905℃)をオープンにして、ZnSeに格子整合するZnMgSSe層を2μmの厚さにエピタキシャル成長した。

【0029】この成長層の結晶欠陥を透過電子顕微鏡(TEM)で調べたところ、上述の台1の例と同様に基板と成長層界面での結晶欠陥は観察されなかった。

【0030】第2の例では、エッチングの際、Seビー

ムを照射しつつZnCl₂ビームを基板201に照射したが、Znセル204及びZnCl₂セル203を用いてZnビームとZnCl₂ビームを照射して基板201のエッチングを行うようにしてもよい。

【0031】図3は本発明による半導体基板のエッチング方法及び半導体薄膜の製造方法の第3の例に用いられる有機金属気相成長装置の概略図である。図3を参照して、この例では、基板300としてZnSeの(001)面を用いた。

【0032】図示の有機金属気相成長装置は石英反応炉301及びガスミキサ304を備えており、ガスミキサ304内にはHClポンベ306及び複数の有機金属ガスポンベ307a乃至307dが配置されている。HClポンベ306は開閉弁306aを介してマスフローコントローラー(MFC)305に接続され、同様に、有機金属ガスポンベ307a乃至307dはそれぞれ開閉弁308a乃至308dを介してマスフローコントローラー(MFC)309a乃至309dに接続されている。そして、各MFC305及び309a乃至309dは反応管301に接続されている。

【0033】まず、基板300を反応管301内に搬送し、サセプタ303上に配置する。ガスミキサ304内のポンベ307cからジメチルセレン(DMS_e)を供給しつつ高周波加熱炉302によって基板温度を温度380℃に設定する。その後、ポンベ307a及びポンベ306からそれぞれジメチル亜鉛(DMZn)及び塩化水素(HCl)を同時に供給しつつZnSe基板300をエッチングする。なお、DMZnの流量は10μmol/分、DMS_eの流量は80μmol/分、HClの流量は50μmol/分とした。

【0034】この結果、ZnSe基板300をエッチング速度0.5μm/時間で1μmエッチングすることができた。そして、エッチング後の基板表面は鏡面で、Seの残留も見られなかった。

【0035】所定の時間エッチングを行った後、HClの供給を止め、引き続いて成長中断なしにZnSeバッファ層を30nm成長する。その後、2種類の原料ガス(つまり、DMZn及びDMS_e)に加えてポンベ307dからジエチルサルファ(DES)を流量150μmol/分で供給するとともにポンベ307bからビスメチル・シクロペンタジエニル・マグネシウム((MeCp)₂Mg)を流量1μmol/分で供給して、ZnSeに格子整合するZnMgSSe層を2μm成長させた。

【0036】この成長層の結晶欠陥を透過電子顕微鏡(TEM)で調べたところ、第1の例1と同様に基板と成長層界面での結晶欠陥は観察されなかった。

【0037】なお、上述の例においては、ハロゲンガス、ハロゲン化水素、及び2族元素のハロゲン化物として塩素系の材料を用いたが、フッ素系ブロム系、ヨウ素

系等他の材料を用いてもよい。

【0038】さらに、上述の例においては、基板としてZnSe(001)面を用いたが、これ以外の面方位、例えば(111)面、(115)面等を用いてもよく、また、それぞれの面方位でオフアングル基板を用いてもよい。

【0039】また、上述の例においては、基板としてZnSeを用いたが、それ以外の2-6族化合物半導体基板においても同様に処理できる。

【0040】加えて、上述の例においては、成長層としてZnMgSSeを成長したが、他の2元化合物、3元混晶、4元混晶を成長させるようにしてもよく、さらには、半導体レーザ構造を成長してもよい。

【0041】

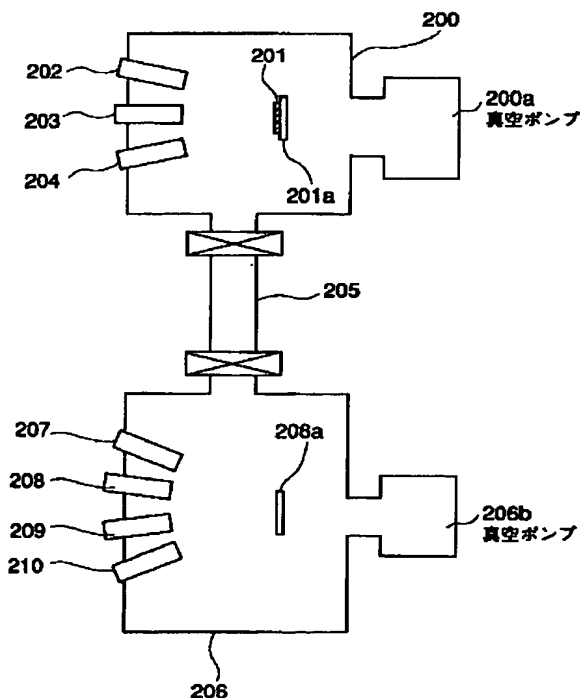
【発明の効果】以上説明したように、本発明によるエッチング方法を用いれば、基板の酸化膜除去をその表面を高品質に保ったまま行うことができるという効果がある。また、本発明によるエッチング方法によって処理された基板上にエピタキシャル成長された2-6族半導体成長層は基板との界面において積層欠陥の発生が抑制されるので、その密度を半導体レーザの高信頼化に必要な 10^4 cm^{-2} 以下に抑えることができるという効果がある。

【図面の簡単な説明】

【図1】本発明による2-6族化合物半導体成長層の成長行程の一例を示す図である。

【図2】本発明に用いられる分子線エピタキシャル成長*

【図2】



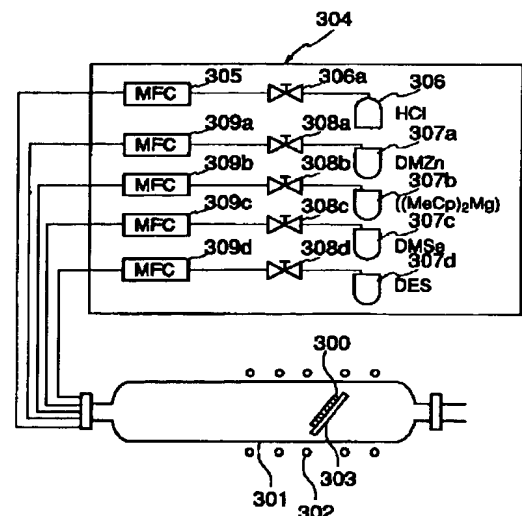
* 装置を概略的に示す図である。

【図3】本発明に用いられる有機金属気相成長装置を概略的に示す図である。

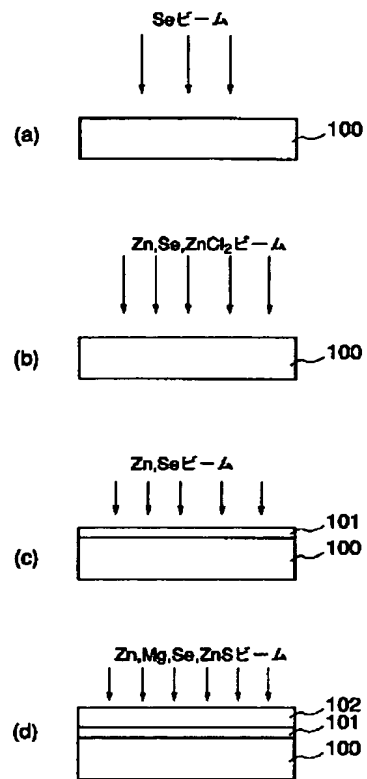
【符号の説明】

- 100, 201, 300 ZnSe基板
- 101 ZnSeバッファ層
- 102 ZnMgSSe層
- 200 エッチング用チャンバ
- 202 Seセル
- 203 ZnCl_2 セル
- 204 Znセル
- 205 超高真空トンネル
- 206 成長用チャンバ
- 207 Znセル
- 208 Seセル
- 209 Mgセル
- 210 ZnSセル
- 301 石英反応管
- 302 高周波誘導加熱炉
- 303 サセプタ
- 304 ガスミキサ
- 305, 309a乃至309d マスフローコントローラ
- 306 HClボンベ
- 306a, 308a乃至308d 開閉弁
- 307a乃至307d 有機金属ガスボンベ

【図3】



【図 1】



フロントページの続き

(51) Int. Cl. ⁶
H 0 1 L 33/00

識別記号

庁内整理番号

F I

H 0 1 L 21/302

技術表示箇所

F